

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-187169

⑬ Int. Cl.³

H 01 R 13/64
23/68

識別記号

府内整理番号

8425-5E
6901-5E

⑭ 公開 平成3年(1991)8月15日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 ICカードの接続装置

⑯ 特 願 平1-325229

⑰ 出 願 平1(1989)12月15日

⑲ 発明者 鈴木 恭 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

⑲ 発明者 高峰 宣明 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

⑲ 発明者 柿本 浩二 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内

⑲ 出願人 株式会社富士通ゼネラル 神奈川県川崎市高津区末長1116番地

⑲ 代理人 弁理士 大原 拓也

最終頁に続く

明細書

1. 発明の名称

ICカードの接続装置

2. 特許請求の範囲

(1) ICカードにデータを書き込み、あるいは前記ICカードのデータを読み出す装置本体側には前記ICカードとの間における電源系および信号系等のラインを接続可能とする複数の端子が備えられ、前記ICカード側には前記端子と接続する複数の端子が備えられているICカードの接続装置において、

前記装置本体側には前記ICカードの抜き差しを検出する最短リードの検出用端子と、該検出用端子からの信号により前記電源系および信号系等のラインを制御する制御回路とを設け、前記ICカード側には前記検出用端子と接続可能な端子と該端子を介して当該ICカードの抜き差し検出信号を出力する出力回路とを設けたことを特徴とするICカードの接続装置。

(2) 前記ICカードの出力回路はブルダウントラミングにより“L”レベル信号を出力する請求項(1)記載

のICカードの接続装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明はパーソナルコンピュータ等に用いられるICカードの接続装置に係り、更に詳しくはICカードの抜き差しに際し、メモリ素子の誤動作やデータ破壊等を防止するICカードの接続装置に関するものである。

[従来例]

近年、LSI技術の進歩により、磁気カードに代わるICカードが提案されている。このICカードとしてはCPUを内蔵したものと、メモリ素子だけを内蔵したメモリ・カードとがある。

このようなカードを用いるパーソナルコンピュータ等には、例えば第4図および第5図に示すICカードの接続装置が備えられている。

この図において、メモリ・カード1が抜き差しされる装置2の本体側には、複数の端子3₁, 3₂, 3₃, …, 3_nを有するコネクタ4が備えられており、そのメモリ・カード1にはそれら複数の端子3₁,

3,,3,,…,3nと接続可能な複数の端子5,,5,,5,,…,5nが備えられている。なお、電源系ラインの端子3,,3nのリードは他の信号(制御系も含む)系の端子3,,…,3nより長くなっている。また図に示すように、それら電源系ラインの端子は複数対であってもよい。また、電源系ラインの端子3,,3,,5,,5nのリードは他の信号系ラインの端子3,,…,3n,5,,…,5nより長くなっている。メモリ・カード1の差し込みに際し、電源系ラインが最初に接続され、その後に信号系等のラインが接続され、またそのメモリ・カード1を抜くに際し、それら電源系のラインが最後に断されるようになっている。

また、ICカードの接続装置としては電源系ラインのアース端子を最長リードとしたものがあり、メモリ・カード1を差し込むに際してそのアースを最初に接続し、そのメモリ・カードを抜くに際してそのアースを最後に断状態とし、メモリ・カード1の保護がよりよく行なえるようにしている。

[発明が解決しようとする問題点]

信号により上記電源系および信号系等のラインを制御する制御回路とを設け、上記ICカード側には上記検出用端子と接続可能な端子と該端子を介して当該ICカードの抜き差し検出信号を出力する出力回路とを設けたことを要旨とする。

[作用]

上記構成としたので、メモリ・カードの抜き差しに際し、装置本体側の最短リードの検出用端子とメモリ・カードの端子とが接続されるとき、またそれら端子が断状態にされるときには、電源がメモリ・カードに供給されなくなっている。したがって、電源系ラインの接、断時、つまり装置本体側の電源系ラインの端子とメモリ・カードの端子との接、断時には電源がメモリ・カードに供給されず、また信号系ラインの接、断時にも電源がメモリ・カードに供給されないため、上記メモリ・カードの抜き差しに際し、メモリ端子の誤動作やデータ破壊等が防止される。

[実施例]

以下、この発明の実施例を第1図乃至第3図に

しかしながら、上記ICカードの接続装置においては、メモリ・カード1の抜き差しが電源ONのまま行われることから、つまり電源系ラインの接、断時においてはその抜き差し操作によってメモリ端子の誤動作やデータ破壊等が生じることもある。

この発明は上記問題点に鑑みなされたもので、その目的はメモリ・カードの抜き差しに際し、そのメモリ・カードのメモリ端子の誤動作やデータ破壊等を確実に防止することができるようしたICカードの接続装置を提供することにある。

[問題点を解決するための手段]

上記目的を達成するために、この発明は、ICカードにデータを書き込み、あるいは上記ICカードのデータを読み出す装置本体側には上記ICカードとの間における電源系および信号系等のラインを接続可能とする複数の端子が備えられ、上記ICカード側には上記端子と接続する複数の端子が備えられているICカードの接続装置において、上記装置本体側には上記ICカードの抜き差しを検出する最短リードの検出用端子と、該検出用端子からの

基づいて説明する。なお、図中、第4図と同一部分および相当部分には同一符号を付し重複説明する。

第1図乃至第3図において、装置2の本体側には、他の何れの端子より最短リードの検出用端子6,7と、この検出用端子6,7からの信号により電源系や信号系等の内部ラインを制御する制御回路とが備えられており、メモリ・カード1側には、端子5,,5,,…,5nの他に上記検出用端子6,7と接続可能な端子8,9が設けられている。なお、既にあるメモリ・カードにはブルアップ抵抗あるいはブルダウン抵抗を備えたものがあるため、そのブルダウン抵抗を備えたメモリ・カードを用いればよい。

また、第3図に示されているように、上記装置2の制御回路には、検出用端子6,7を介した検出信号の論理和を出力する2OR(オア)回路10と、この2OR回路10の入力端子に設けたブルアップ抵抗11a,11bと、電源系や信号系の内部ラインを接、断状態にする接、断回路12とが備えられて

る。接・断回路12には、上記2OR回路10からの信号により、ON, OFFするpnp型トランジスタ12aと、このONにより上記電源と端子3₁との間を接続状態とするnpp型トランジスタ12bと、ツエナーダイオード(例えば5.5V)12cとによる構成の回路と、信号系のラインを接続し、遮断するスリーステートバッファ回路12dおよびバッファ回路12eとが備えられている。なお、端子3₁はアースに接続されており、メモリ・カード1からの信号を入力するバッファ回路12eはラインを遮断する必要がない。また、図示しないが、上記メモリ・カード1および装置2本体側には、その他種々記憶回路(メモリチップ)や制御回路(CPU)等が備えられている。

次に上記構成のICカードの接続装置の動作を説明する。

まず、装置2にメモリ・カード1を差し込むと、最初に信号系ラインの端子3₁, 3₂, ..., 3_nと端子5₁, 5₂, ..., 5_nとが接続される。このとき、検出用端子6, 7と端子8, 9との間が断状態であるこ

..., 5_n, 8, 9とが接続され、つまり検出用端子6, 7と端子8, 9との間も接続されるため、2OR回路10の入力が“L”レベルになり、その出力は“L”レベルとなる。これにより、npp型トランジスタ12bがOFFし、npp型トランジスタ12bがONとなりなり、メモリ・カード1には電源が供給される。また、スリーステートバッファ回路12dのフローティング状態が解除されるため、装置2本体側とメモリ・カード1との間では信号授受が可能になる。

このように、メモリ・カード1を差し込むに際し、そのメモリ・カード1が中途半端であるとき、つまり電源系ラインの端子3₁と端子5₁とが接続するときには電源がメモリ・カード1に供給されず、最短リードの検出用端子6, 7と端子8, 9との間が接続されたとき、つまりメモリ・カード1が確実に差し込まれたときに電源がメモリ・カード1に供給されるので、メモリチップの誤動作やデータ破損が生じることもない。

一方、装置2本体側からメモリ・カード1を抜

とから、2OR回路10の入力はプルアップ抵抗11_a, 11_bにより“H”レベルになり、その出力は“H”レベルとされる。すると、スリーステートバッファ回路12dの出力が高インピーダンスにされるため、信号ラインは遮断状態ということになる。また、npp型トランジスタ12aがONにされるため、端子3₁には電源が印加されず、メモリ・カード1にはその電源が供給されることがない。

さらに、上記メモリ・カード1の差し込み動作が続けられると、電源系ラインの端子3₁, 3₂と端子5₁, 5₂とが接続されるが、検出用端子6, 7と端子8, 9との間がまだ断状態である。そのため、上記したように、スリーステートバッファ回路12dの出力が高インピーダンスのままであり、またnpp型トランジスタ12aがONのままであるため、メモリ・カード1にはその電源が供給されない。

さらに、上記メモリ・カード1の差し込み動作が続けられ、例えばそのメモリ・カード1がコネクタ4に確実に装填されると、全ての端子3₁, 3₂, 3₃, 3₄, ..., 3_n, 6, 7と端子5₁, 5₂, 5₃, 5₄,

く場合には、最初に検出用端子6, 7と端子8, 9との間が断状態にされる。すると、2OR回路10の入力はプルアップ抵抗11_a, 11_bにより“H”レベルになるため、その出力は“H”レベルにされる。すると、スリーステートバッファ回路12dの出力が高インピーダンスにされ、npp型トランジスタ12bがON状態となるため、メモリ・カード1には電源が供給されなくなり、そのメモリ・カード1は不動作状態にされる。

このように、電源系ラインの端子3₁, 3₂と端子5₁, 5₂との間が断状態になる前に、メモリ・カード1には電源が供給されなくなり、またデータ、アドレスや制御等の信号系ラインが断状態になるため、上記同様に、メモリチップの誤動作やデータの破損が生じることもない。

[発明の効果]

以上説明したように、この発明のICカードの接続装置によれば、システム装置側には、メモリ・カードの抜き差しを検出する最短リードの検出用端子と、この検出用端子からの信号によりメモリ・

カードに対する電源の供給、遮断および信号の入力、遮断を制御する制御回路とを設け、メモリ・カードには、上記検出用端子と接続可能な端子と、この端子を介して上記板を差し検出用信号を出力する出力回路とを設けたので、メモリ・カードの抜き差しに際し、電源系ラインの端子と端子との接、断状態のとき、信号系ラインの接、断状態のときには電源がメモリ・カードに供給されないことから、メモリ端子の誤動作や破壊を防止することができる。

4. 図面の簡単な説明

第1図および第2図はこの発明の一実施例を示すICカードの接続装置の概略的部分ブロック図および側面図、第3図は上記ICカードの接続装置の制御回路の概略的ブロック図、第4図および第5図は従来のICカードの接続装置の概略的部分ブロック図および側面図である。

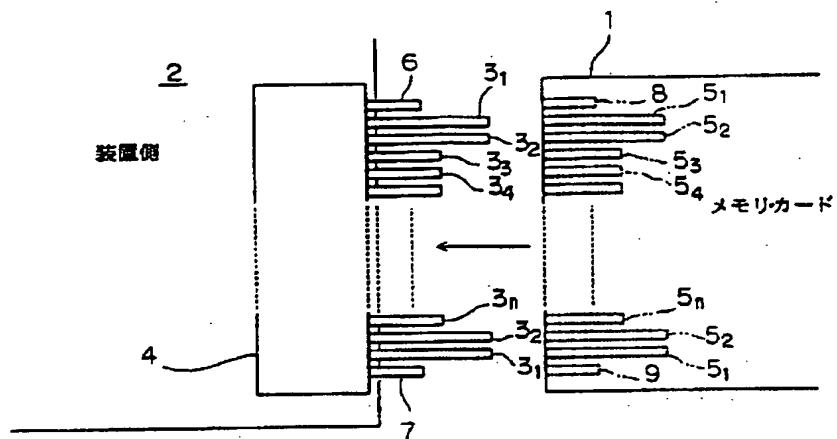
図中、1はメモリ・カード、2は装置、3₁, 3₂, 3₃, 3₄, …, 3_n, 6, 7は端子(装置2本体側)、4はコネクタ、5₁, 5₂, 5₃, 5₄, …, 5_n, 8, 9は端子(メモリカード1側)である。

(メモリ・カード1個の)、10は2ΩR(オア)回路、11a, 11bはブルアップ抵抗、12は接・断回路、12a, 12bはnpn型トランジスタ、12cはツエナーダイオード、12dはスリーステートバッファ回路、12eはバッファ回路である。

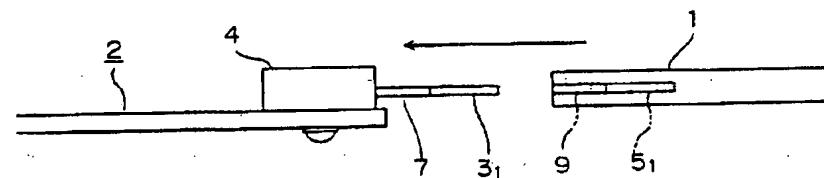
特許出願人 株式会社 富士通ゼネラル

代理人弁理士 大原裕也

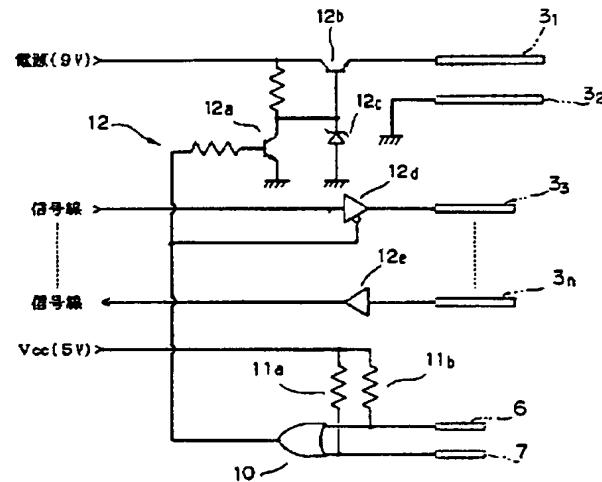
第1図



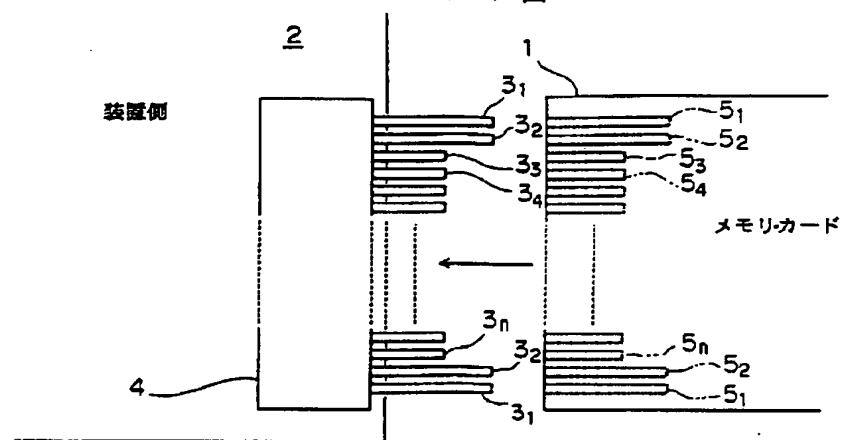
第2図



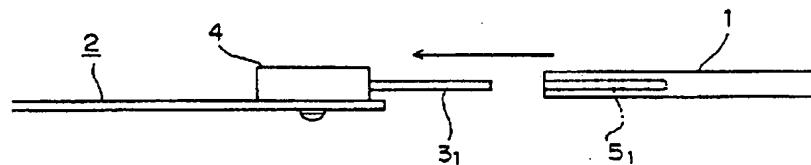
第3図



第4図



第5図



第1頁の続き

②発明者 斎藤 正明 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内
②発明者 岩野 徹 神奈川県川崎市高津区末長1116番地 株式会社富士通ゼネラル内